

Patent



**BEST AVAILABLE COPY**

Customer No. 31561

Application No.: 10/710,766

Docket No.13120-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Nieh et al.  
Application No. : 10/710,766  
Filed : Aug 02, 2004  
For : METHOD AND CHIP TO EXPAND PINS OF THE CHIP  
Examiner : N/A  
Art Unit : 2819

---

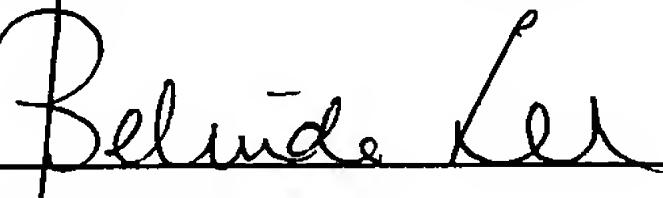
ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93113404, filed on: 2004/5/13.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

By:   
Belinda Lee  
Registration No.: 46,863

Please send future correspondence to:

7F-1, No. 100, Roosevelt Rd.,  
Sec. 2, Taipei 100, Taiwan, R.O.C.  
Tel: 886-2-2369 2800  
Fax: 886-2-2369 7233 / 886-2-2369 7234  
E-MAIL: [BELINDA@JCIPGroup.com.tw](mailto:BELINDA@JCIPGroup.com.tw); [USA@JCIPGroup.com.tw](mailto:USA@JCIPGroup.com.tw)

IFW

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder

申請日：西元 2004 年 05 月 13 日  
Application Date

申請案號：093113404  
Application No.

申請人：凌陽科技股份有限公司  
Applicant(s)

CERTIFIED COPY OF  
PRIORITY DOCUMENT

局長  
Director General

蔡練生

發文日期：西元 2004 年 8 月  
Issue Date

發文字號：09320801100  
Serial No.

申請日期：93. 5. 13  
申請案號：93113404

IPC分類

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	可擴展晶片連接腳位之方法及晶片
	英 文	METHOD AND CHIPS BEING ABLE TO EXPAND I/O PINS OF CHIP
二、 發明人 (共2人)	姓 名 (中文)	1. 聶幼成
	姓 名 (英文)	1. NIEH, YU CHENG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣中和市連勝街175號5樓
住居所 (英 文)	1. 5F., NO. 175, LIANSHENG ST., JHONGHE CITY, TAIPEI COUNTY 235, TAIWAN (R. O. C.)	
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 凌陽科技股份有限公司
	名稱或 姓 名 (英文)	1. SUNPLUS TECHNOLOGY CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣科學園區創新一路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 19, INNOVATION ROAD 1, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 黃洲杰
代表人 (英文)	1. HUANG, CHOU CHYE	



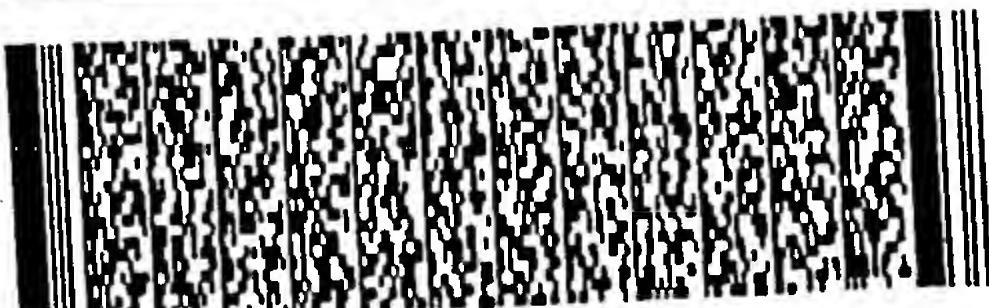
申請日期：	
申請案號：	

IPC分類

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 周漢良
	姓名 (英文)	2. CHOU, HAN LIANG
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 高雄市左營區和光街106巷57弄32號
	住居所 (英 文)	2. NO. 32, ALLEY 57, LANE 106, HEGUANG ST., ZUOYING DISTRICT, KAOHSIUNG CITY 813, TAIWAN, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
代表人 (英文)		

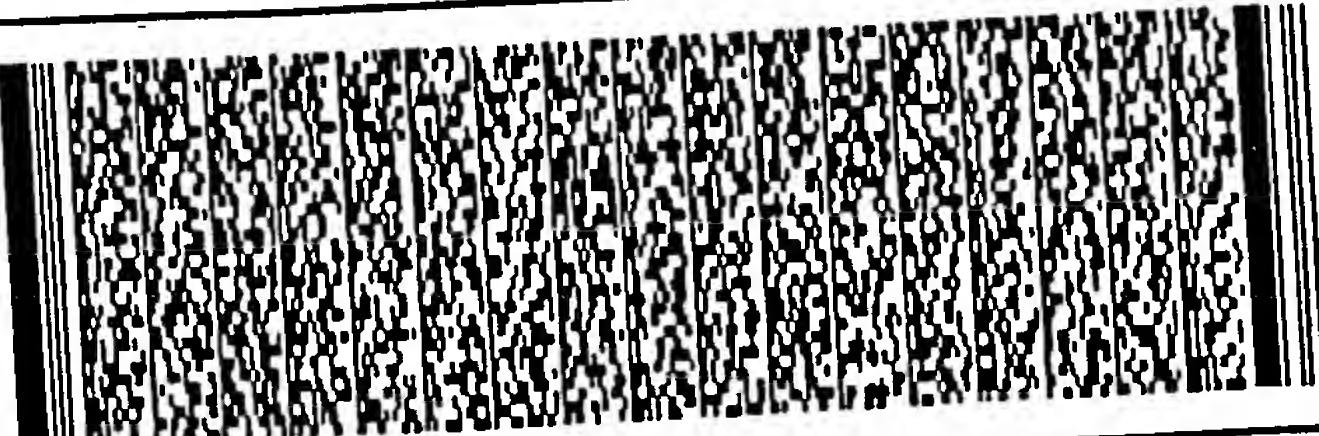


四、中文發明摘要 (發明名稱：可擴展晶片連接腳位之方法及晶片)

一種可擴展晶片連接腳位之方法及晶片，係應用第一晶片之第一介面，來傳送欲由其第二介面傳送之命令，並於第二晶片接收第一介面所傳送之命令時，將命令解碼後自第二晶片之連接腳位傳送，達成擴展第一晶片腳位之目的。由於第二晶片係為低腳位之晶片，因此，可在微幅或不增加第二晶片所需積體電路封裝成本的條件下，大幅地降低第一晶片所需積體電路封裝成本。

五、英文發明摘要 (發明名稱：METHOD AND CHIPS BEING ABLE TO EXPAND I/O PINS OF CHIP)

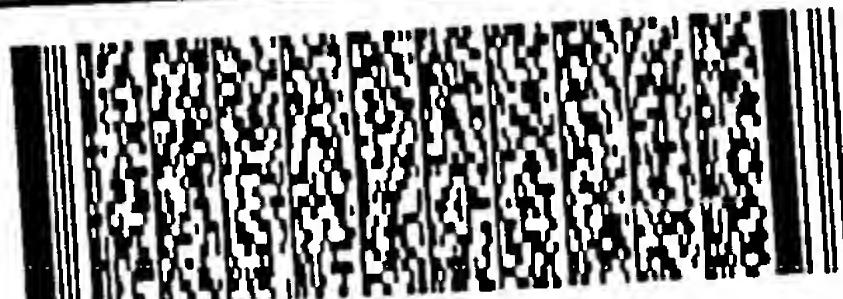
A method and chips being able to expand I/O pins of a chip are provided. A second interface command of a first chip is transmitted via a first interface of the first chip. The command received from the first interface by a second chip is decoded and transmitted via connection pins of the second chip. Because the second chip has less connection pins, the package cost of the first



四、中文發明摘要 (發明名稱：可擴展晶片連接腳位之方法及晶片)

五、英文發明摘要 (發明名稱：METHOD AND CHIPS BEING ABLE TO EXPAND I/O PINS OF CHIP)

chip is greatly reduced on condition, which has not or only a little increased package cost of the second chip.



六、指定代表圖

(一)、本案代表圖為：圖——2——

(二)、本案代表圖之元件代表符號簡單說明：

210 影音光碟播放晶片，211 核心邏輯，212 多工  
電路，213 控制器，214 命令編碼器，215 仲裁  
器，220 記憶體晶片，221 記憶電路，222 位址解  
碼器，223 命令解碼器。



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

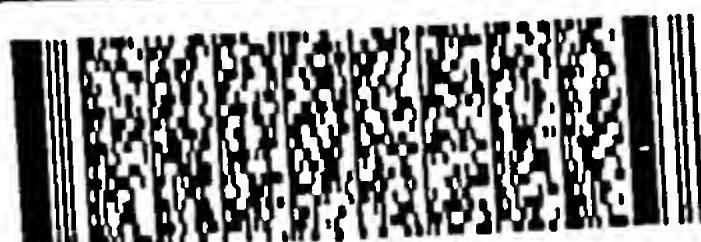
寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

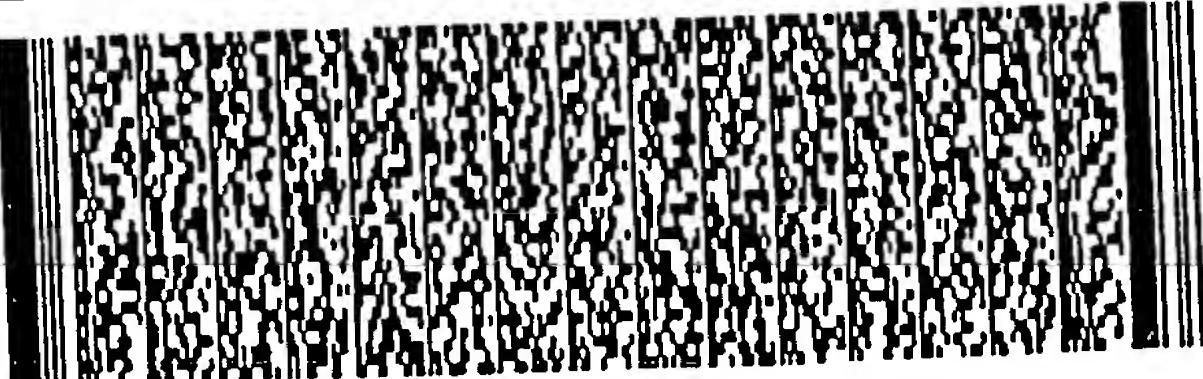
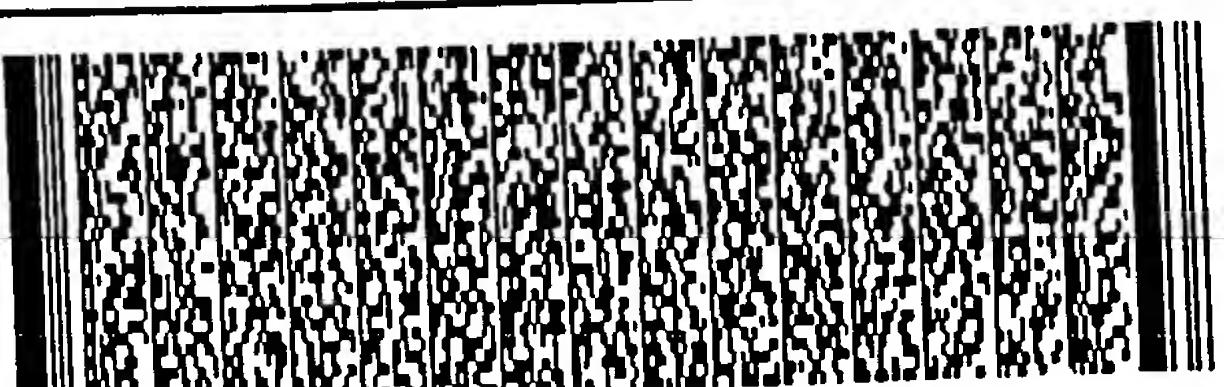
## 【發明所屬之技術領域】

【發明所屬之技術領域】  
本發明是有關於一種系統單晶片(system on chip, 簡稱SOC)，且特別是有關於一種可擴展晶片連接腳位之方法及晶片。

## 【先前技術】

路的封裝成本重列人改評成上，接腳不足的問題，除了可以增加腳位，應用多機能接腳來降低晶片所外，通常腳數目。例如，英特爾(Intel)便提出一種LPC (low pin count) 介面，因為能夠有效地減少快閃記憶體(Flash memory)的接腳數目，而廣為業界所採用。然而，此種作法雖增電介面的接腳特定介腳位的問題，以致仍得選擇高腳位接腳，而無法降低成本。

## 【發明內容】



## 五、發明說明 (2)

## 裝成本。

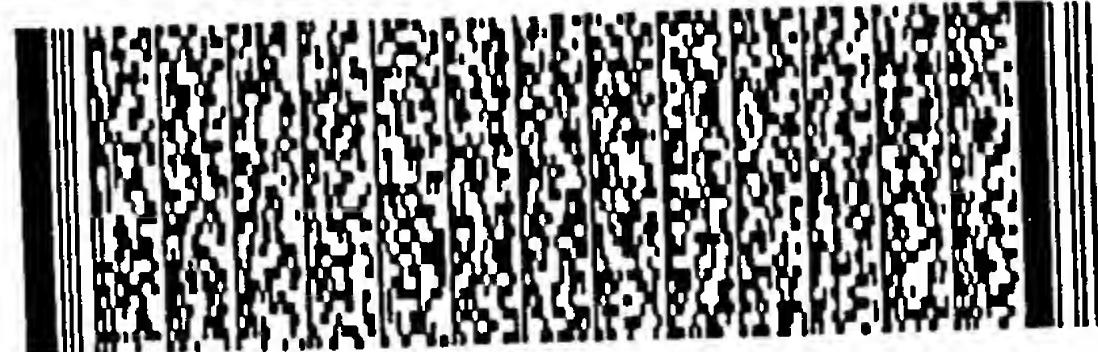
連第擴第之第以  
片將可由送收，  
晶來此欲傳接令  
擴面上片介晶面  
可介片晶一二介  
第一晶一第一第二  
第一晶一第一第二  
提供之第：可以為  
片至驟為；可以為  
晶移步碼送解碼  
發明晶傳令解碼  
本第一位，移步碼  
利用腳包括令介  
於連法面第一介面  
其他適的方法介自  
及，介位第二以將接  
述法二腳之令，之  
上方第接送命令片  
達之之連傳面命令  
為位片片面介面二  
腳晶晶介一介第  
接一展二第一自

自第一晶片之连接部份，而第二晶片為其中，第一晶片為影音光碟播放晶片，而第二晶片為記憶體晶片。

記憶體晶片  
其中，第一介面為位址/資料匯流排，而第二介面為  
通用輸出入埠。

在一實施例中，此可擴展品片連接加註之品片，  
邏輯，係為影音光碟播放邏輯。

在一實施例中，此可擴展晶片連接腳位之晶片的控制



### 五、發明說明 (3)

器，係為記憶體控制器。

在一實施例中，此可擴展晶片連接腳位之晶片的第一介面命令，係為記憶體存取命令。

此外，本發明也提供一種記憶體晶片，包括：記憶接命令之電路、位址解碼器及命令解碼器。其中，位址解碼器耦接記憶體存取命令，並依據記憶體存取命令。而命令解碼器則耦接命令之存取位址，來傳送記憶體存取命令。而命令解碼器，以自第二介面來傳送。

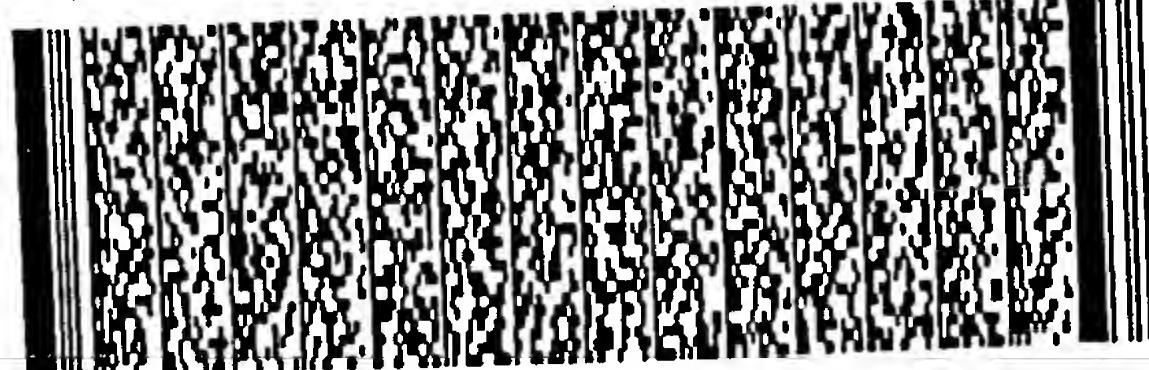
在一實施例中，此記憶體晶片之第二介面，係為通用輸出入埠。

由上述說明中可知，應用本發明所提供之一種可擴展之晶片連接腳位之方法及晶片，則可將第一晶片所需增加第二晶片腳位，移至第二晶片上。因此，可在微幅或不增加第一晶片所需積體電路封裝成本的條件下，大幅地降低第一晶片所需積體電路的封裝成本。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特以較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

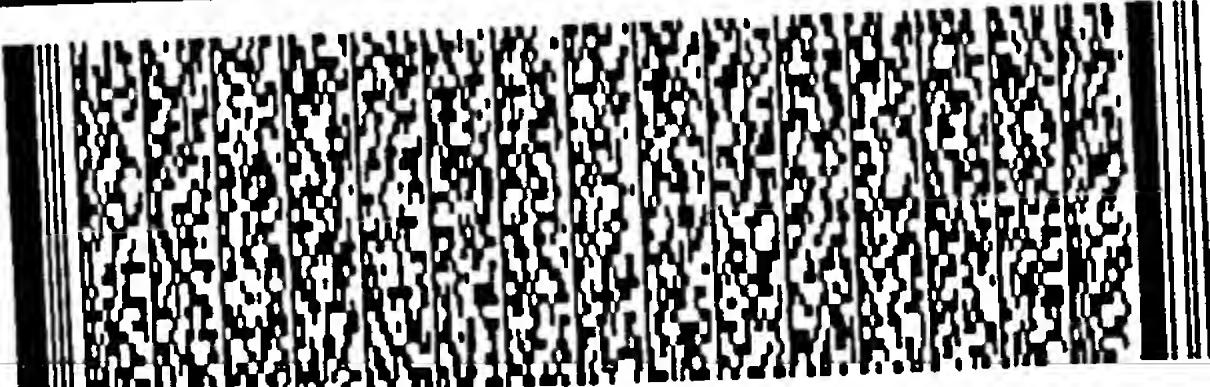
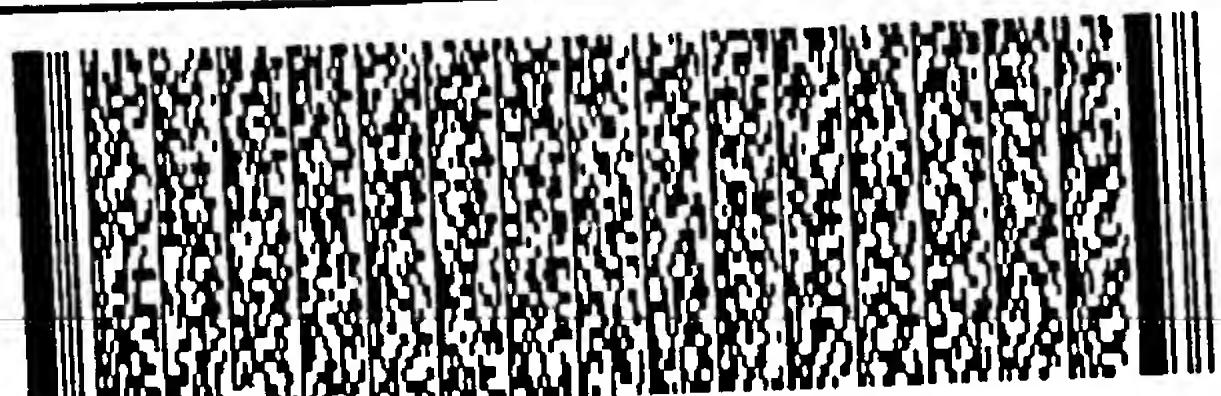
例如在影音光碟播放機系統中，除了擔任主要功能的單晶片外，通常也會有如ROM與DRAM等記憶體，或是系統晶顯示器與步進馬達驅動晶片等其它裝置的週邊輔助如液晶片，來達成整個系統的功能。這是因為高密度或特殊記晶片，來達成整個系統的功能。這是因為高密度或特殊記



## 五、發明說明 (4)

本接連片資料的週積需以成連片資至需所，裝片晶／需移所片明封晶助址所，片晶說、展輔位位晶要來、少擴邊是腳腳助主例數可週如接之輔統實接一片過片擴週低以腳種及例連展邊系一接一腳，擴片不幅以常供要並展所增地以下有之晶透晶需加降將通提主，擴片不幅以片所統路輸晶或大晶明系電傳要幅，的的輔助發在碼來主微下目邊，／面系成條本理。週此片編介將達的成原邊。及一型，上成封主圓系性法入典料片裝路其晶於特方置等資晶封電解宜位，流令輔電積於同一片由等之各排與助路體瞭便腳上匯，命邊體的利

請參考圖1所示，其為典型的影音光碟播放機系統除了擔任資料匯流排或通用輸出入埠（GPIO）等不同介面連接之動態記憶體（DRAM）120、唯讀記憶體（ROM）130、音訊數位類比轉換器170及前面板180等週邊輔助晶片。由於音光碟播放晶片110必須同時提供與動態隨機存取記憶體（DRAM）120、唯讀記憶體（ROM）130、光碟控制器140、微處理器150、電視訊號編碼器160、音訊數位類比轉換器170及前面板180等週邊輔助晶片之連接腳位，導致轉換器170及前面板180等週邊輔助晶片之連接腳位，導致



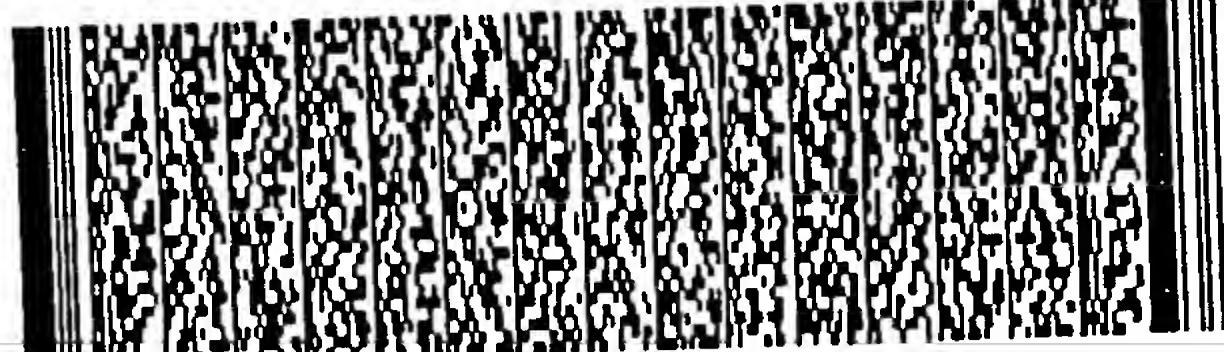
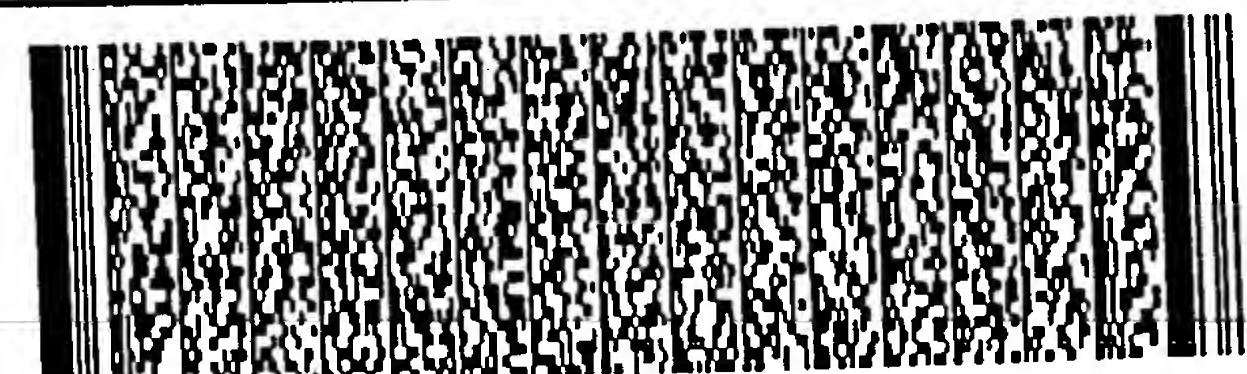
## 五、發明說明 (5)

其連接腳位數量龐大，而大幅提高了封裝成本。

請參考圖2所示，其為根據本發明較佳實施例之影音光碟播放機系統方塊示意圖。圖中，此影音光碟播放晶片210外，也繪示除了擔任主要功能的影音光碟播放晶片210外，也繪示了經由位址/資料匯流排230連接之記憶體晶片220，並將圖1中例如是連接前面板180的通用輸出入埠(GPIO)的連接腳位移至記憶體晶片220上，以減少影音光碟播放晶片210所需之腳位數，降低影音光碟播放晶片210之積體電路封裝成本。

例如，假設影音光碟播放晶片210採用的包裝為256腳位之QFP包裝，而記憶體晶片220採用的包裝為32腳位之TSOP包裝，且影音光碟播放晶片210的通用輸出入埠(GPIO)之連接腳位共16根接腳，則重新安排的包裝型式為影音光碟播放晶片210採用240腳位之QFP包裝，而記憶體晶片220採用48腳位之TSOP包裝。雖然整體的接腳總數沒有下降，但由於總體的封裝成本降低了，所以可以達到降低積體電路封裝成本的效果。其中，記憶體晶片220可以是動態隨機存取記憶體(DRAM)、SDRAM、唯讀記憶體(ROM)、OTP RAM、MTP RAM、EPROM、或快閃記憶體等非揮發型記憶體。

如圖2所示，影音光碟播放晶片210包括：具有影音光碟播放邏輯功能之核心邏輯211、多工電路212、具有記憶體控制功能之控制器213、命令編碼器214及仲裁器215。其中，控制器213耦接核心邏輯211及多工電路212，用以

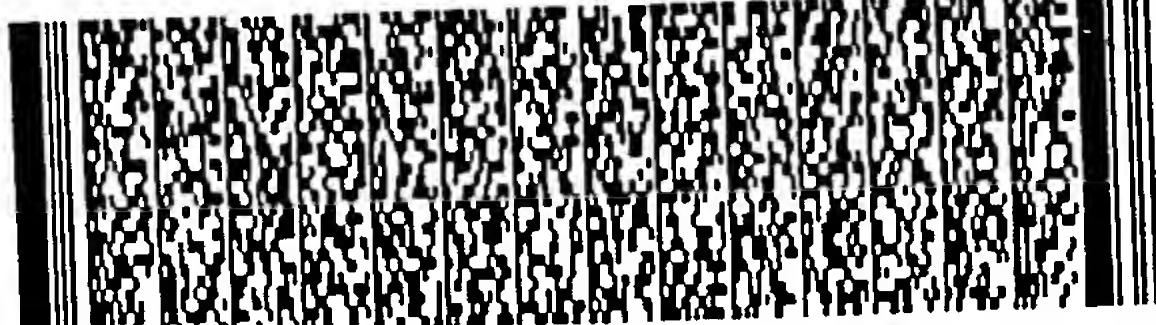


## 五、發明說明 (6)

接收核心邏輯211之要求，以經由如位址/資料匯流排230之介面，來傳送例如是記憶體存取命令之第一介面命令。命令編碼器214耦接核心邏輯211及多工電路212，用以接收核心邏輯211欲經由通用輸出入埠(GPIO)傳送的第二介面命令，並將第二介面命令編碼為記憶體存取命令經由位址/資料匯流排230傳送。而仲裁器215也耦接核心邏輯211及多工電路212，選擇經由位址/資料匯流排230，來傳送控制器213或命令編碼器214產生之記憶體存取命令。

另外，圖2中之記憶體晶片220包括：記憶電路221、位址解碼器222及命令解碼器223。其中，位址解碼器222耦接記憶電路221，用以接收來自位址/資料匯流排230之記憶體存取命令，並依據記憶體存取命令之存取位址，來傳送記憶體存取命令。例如，當記憶體存取命令之存取位址係落於記憶電路221的定址範圍時，將記憶體存取命令傳送至記憶電路221，以存取記憶電路221中之資料。而當傳送記憶體存取命令之存取位址沒有落在記憶電路221的定址範圍時，則將記憶體存取命令傳送至命令解碼器223，此時，命令解碼器223會解碼所接收之記憶體存取命令，並將解碼所得之命令經由如圖中之通用輸出入埠(GPIO)的介面來傳送。

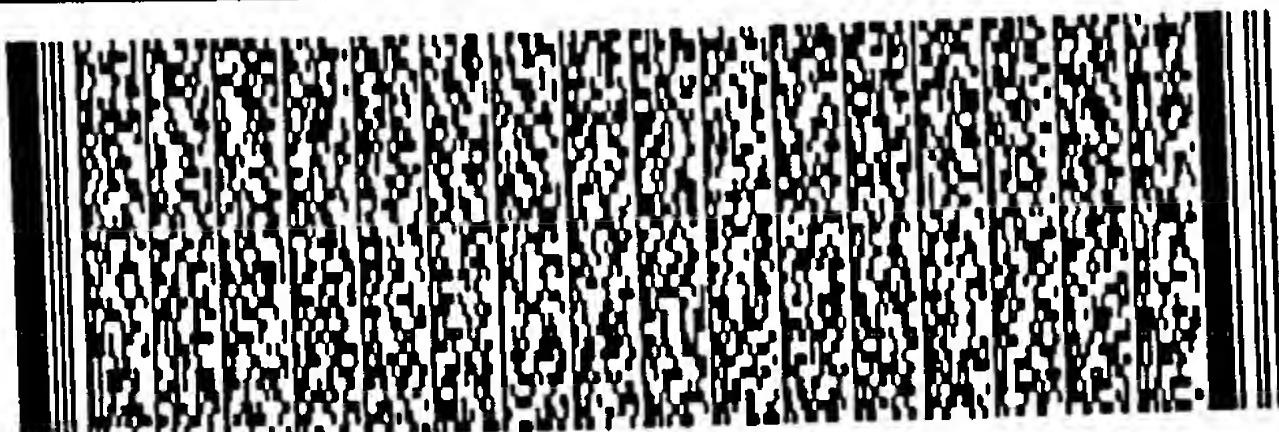
綜上所述，本發明所提供之一種可擴展晶片連接腳位方法，係適於利用例如是影音光碟播放晶片的第一晶片之位址/資料匯流排介面，來將影音光碟播放晶片之通用



## 五、發明說明 (7)

輸出入埠介面的連接腳位，移至例如是記憶體晶片的第封裝電路上，以在微幅或不增加記憶體晶片所需積體電路積體電需增加記憶體晶片所放晶片歸納如下：晶片上，成本的條件下，大幅地降低影音光碟播放晶片之方法歸納如下：晶片成本的封裝成本。此可擴展晶片連接腳位之方法歸納如下：晶片將欲由通用輸出入埠介面傳送之第二介面命令，編碼為可由位址/資料匯流排介面傳送之第一介面命令，以位址/資料匯流排介面傳送；以及第二晶片接收第一介面命令，並將第一介面命令解碼為第二介面命令，以自第二晶片之連接腳位傳送。

雖然本發明已以較佳實施例揭露如上，然其並非用精神護限定本發明，任何熟習此技藝者，在不脫離本發明之和範圍內，當可作各種之更動與潤飾，因此本發明之範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1 係顯示一種典型的影音光碟播放機系統方塊示意

圖。

圖2 係顯示根據本發明較佳實施例之影音光碟播放機系統方塊示意圖。

【圖式標示說明】

110、210 影音光碟播放晶片

120 動態隨機存取記憶體

130 唯讀記憶體

140 光碟控制器

150 微處理器

160 電視訊號編碼器

170 音訊數位類比轉換器

180 前面板

211 核心邏輯

212 多工電路

213 控制器

214 命令編碼器

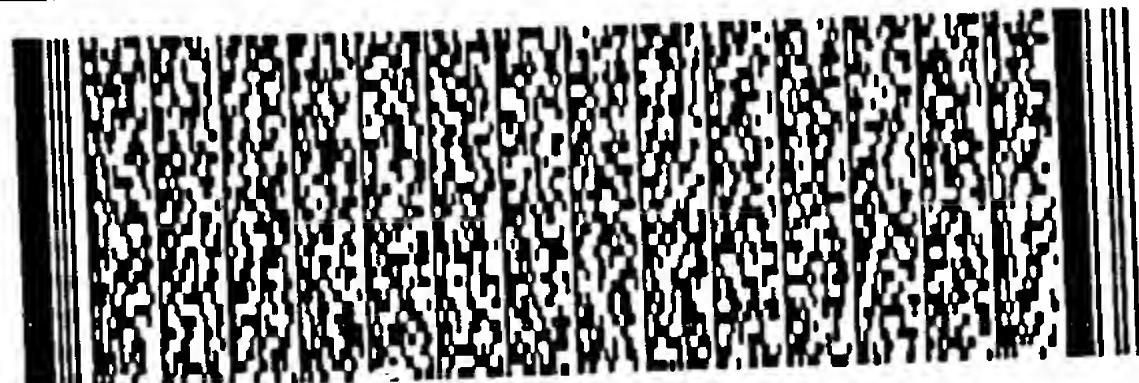
215 仲裁器

220 記憶體晶片

221 記憶電路

222 位址解碼器

223 命令解碼器



## 六、申請專利範圍

1. 一種可擴展晶片連接腳位之方法，適於利用一第一晶片之一第一介面，來將該第一晶片之一第二介面的連接腳位，移至一第二晶片上，包括下列步驟：

該第一晶片將欲由該第二介面傳送之一第二介面命令，以自令，編碼為可由該第一介面傳送之一第一介面命令，以自該第一介面傳送；以及

該第二晶片接收該第一介面命令，並將該第一介面命令傳令，解碼為該第二介面命令，以自該第二晶片之連接腳位傳送。

2. 如申請專利範圍第1項所述之可擴展晶片連接腳位之方法，其中該第一晶片為一影音光碟播放晶片。

3. 如申請專利範圍第1項所述之可擴展晶片連接腳位之方法，其中該第二晶片為一記憶體晶片。

4. 如申請專利範圍第1項所述之可擴展晶片連接腳位之方法，其中該第一介面為一位址/資料匯流排。

5. 如申請專利範圍第1項所述之可擴展晶片連接腳位之方法，其中該第二介面為一通用輸出入埠。

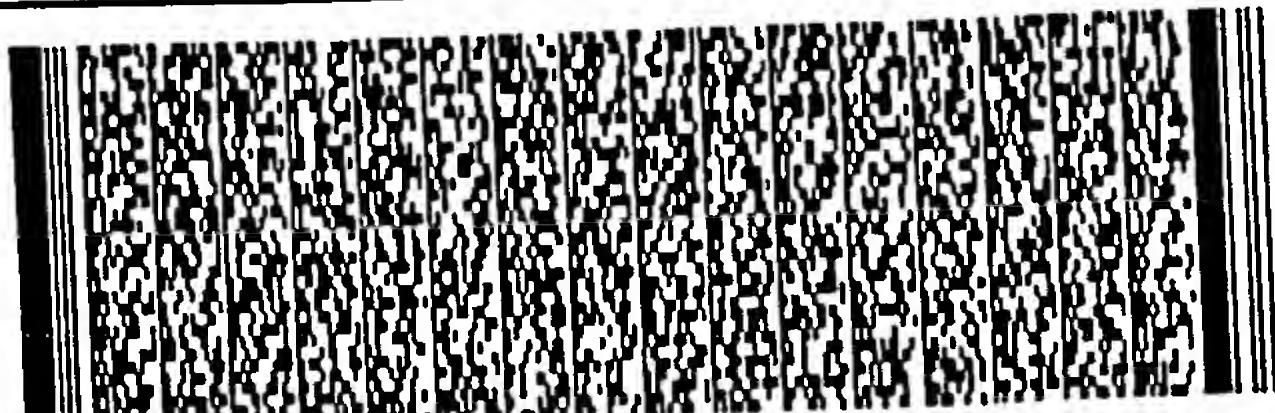
6. 一種可擴展晶片連接腳位之晶片，包括：

一核心邏輯；

一多工電路；

一控制器，耦接該核心邏輯及該多工電路，用以接收該核心邏輯之要求，以傳送一第一介面命令；

一命令編碼器，耦接該核心邏輯及該多工電路，用以接收該核心邏輯之一第二介面命令，並將該第二介面命令



## 六、申請專利範圍

編碼為該第一介面命令傳送；以及  
一仲裁器，耦接該核心邏輯及該多工電路，用以控制  
該多工電路，以選擇傳送該控制器或該命令編碼器之該第  
一介面命令。

7. 如申請專利範圍第6項所述之可擴展晶片連接腳位  
之晶片，其中該核心邏輯係為一影音光碟播放邏輯。

8. 如申請專利範圍第6項所述之可擴展晶片連接腳位  
之晶片，其中該控制器係為一記憶體控制器。

9. 如申請專利範圍第6項所述之可擴展晶片連接腳位  
之晶片，其中該第一介面命令係為一記憶體存取命令。

10. 一種記憶體晶片，包括：

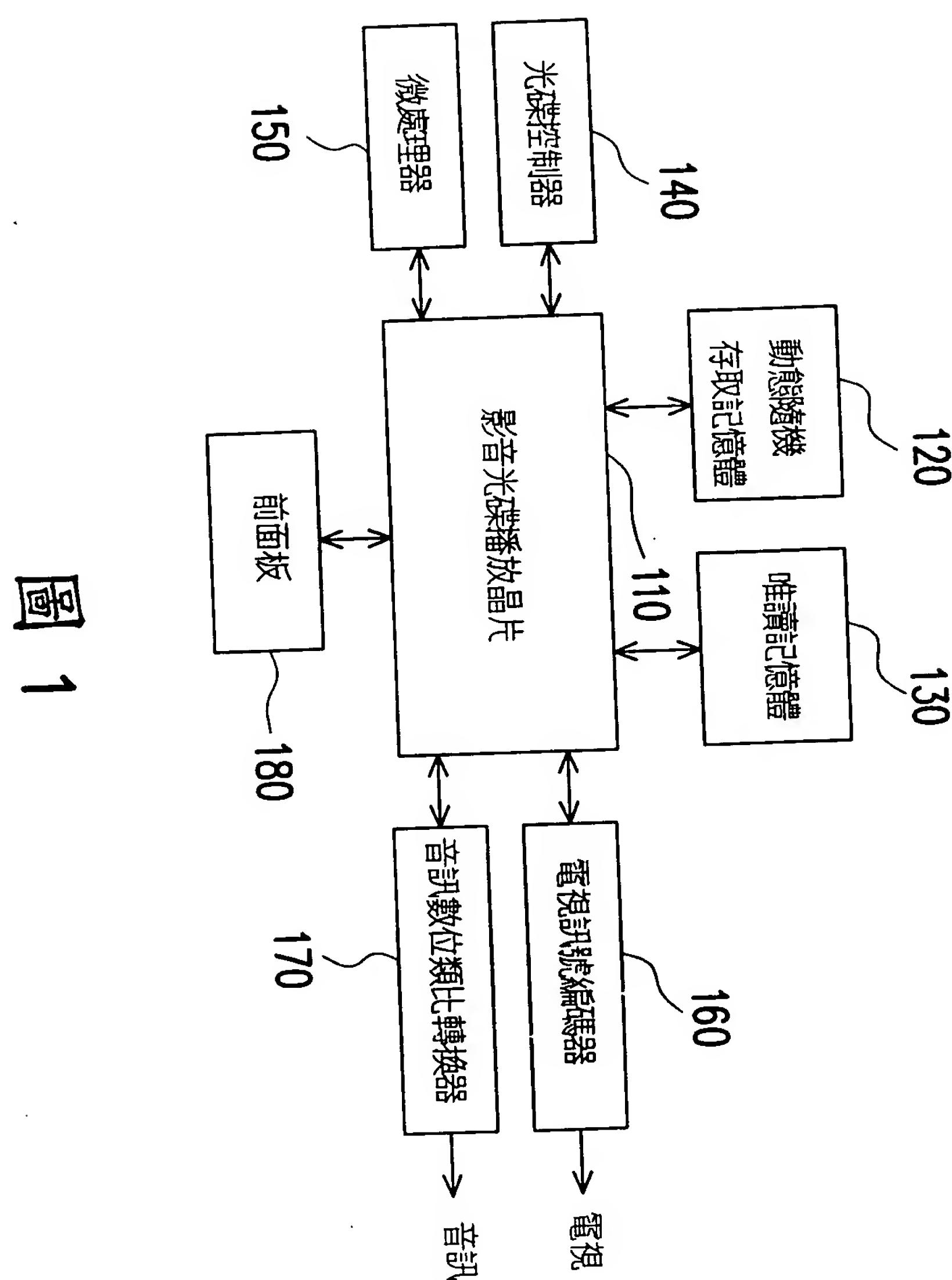
一記憶電路；

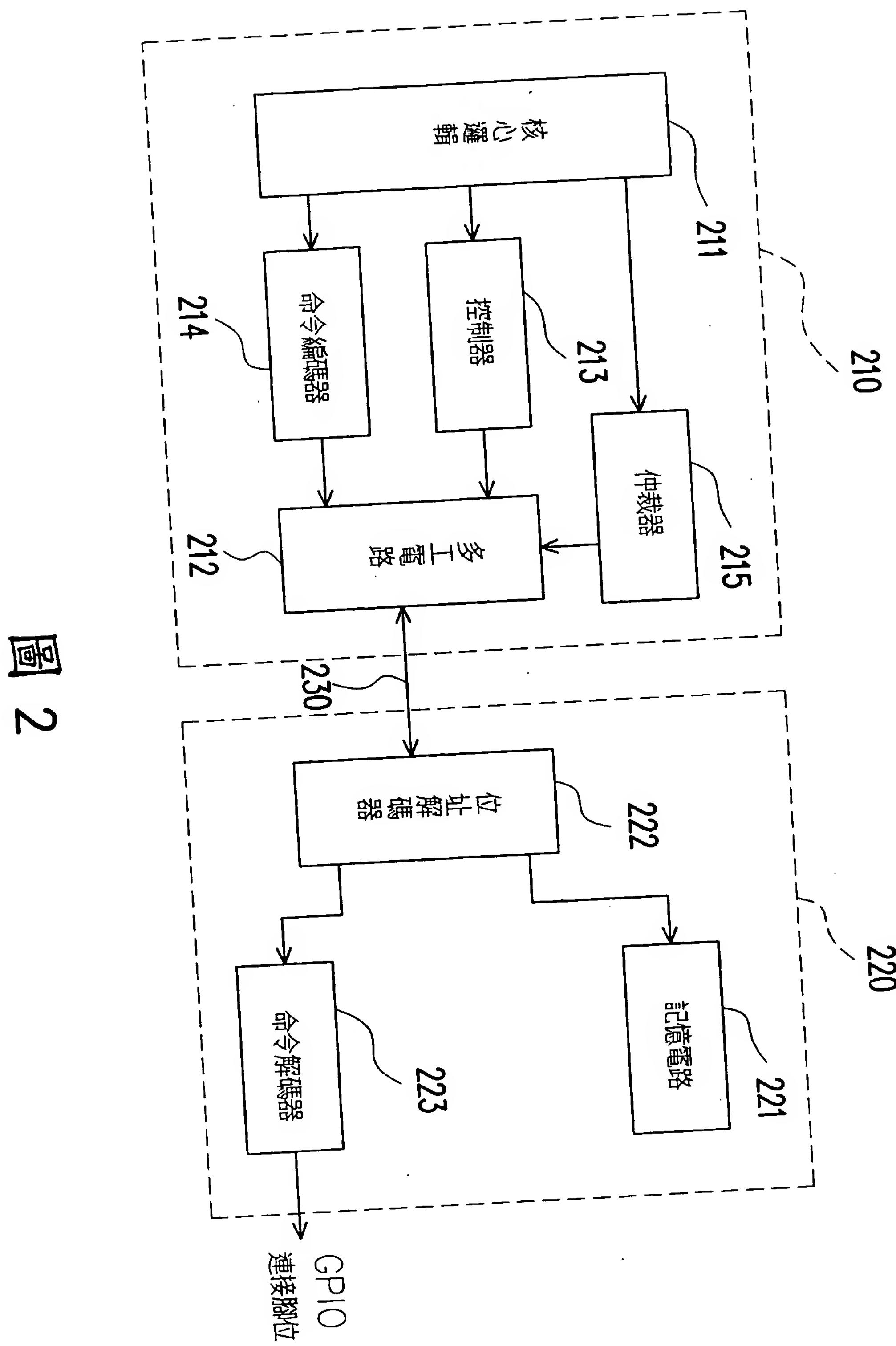
一位址解碼器，耦接該記憶電路，用以接收一記憶體  
存取命令，並依據該記憶體存取命令之存取位址，來傳送  
該記憶體存取命令；以及

一命令解碼器，耦接該位址解碼器，用以解碼該記憶  
體存取命令，以自一第二介面傳送。

11. 如申請專利範圍第10項所述之記憶體晶片，其中  
該第二介面為一通用輸出入埠。

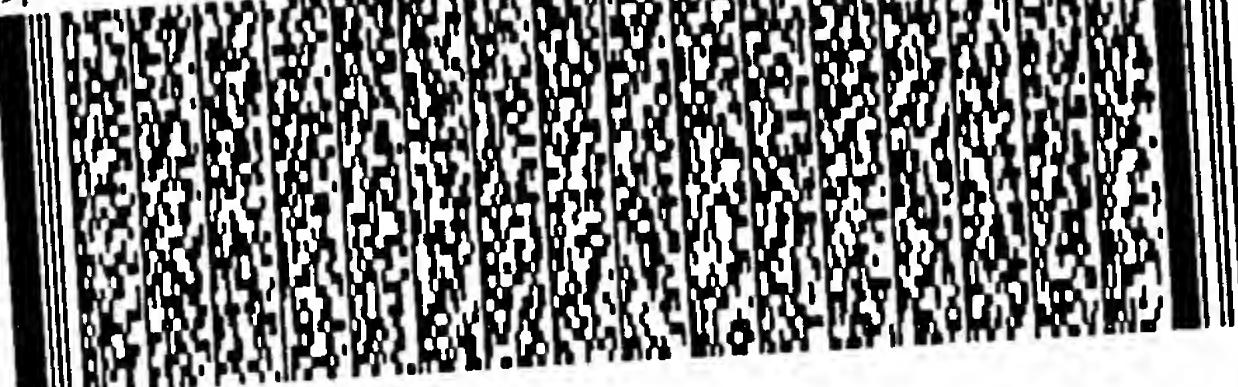






第 2/16 頁

第 1/16 頁



第 3/16 頁



第 5/16 頁



第 7/16 頁



第 8/16 頁



第 9/16 頁



第 10/16 頁



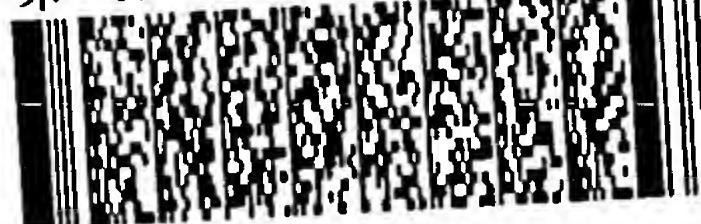
第 11/16 頁



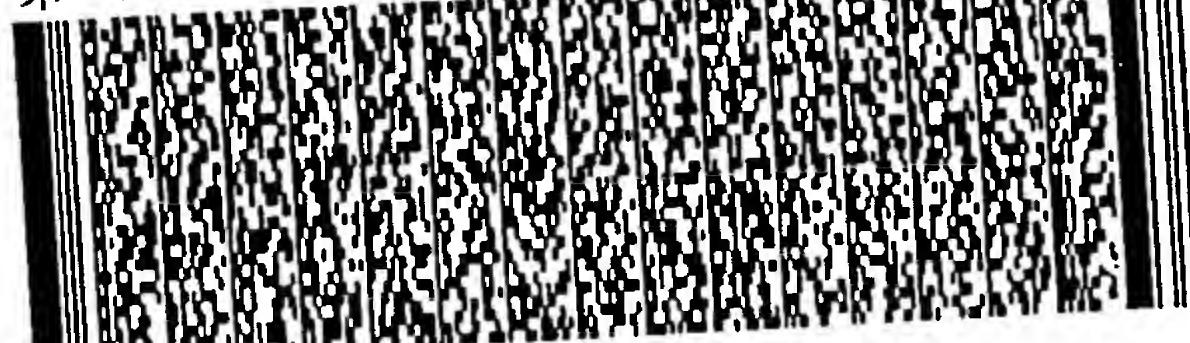
第 4/16 頁



第 6/16 頁



第 7/16 頁



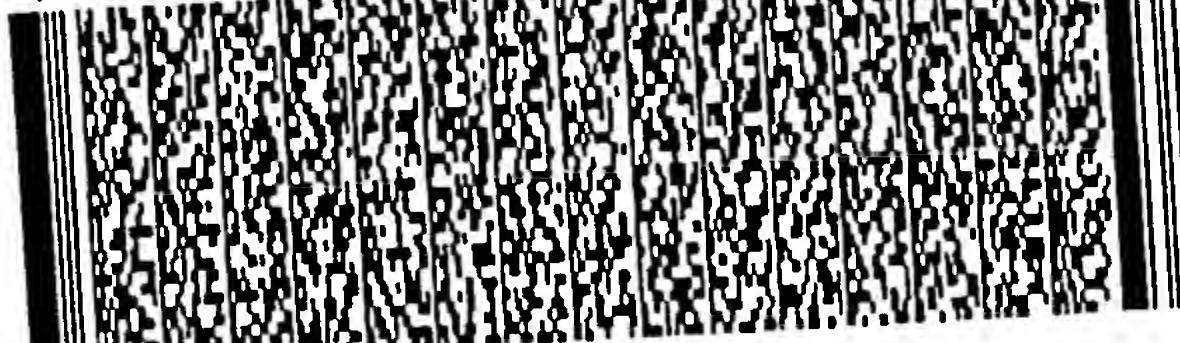
第 8/16 頁



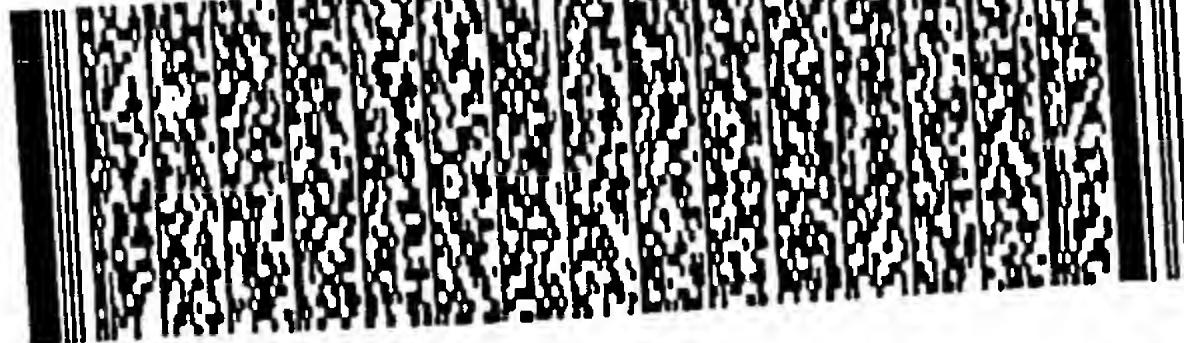
第 9/16 頁



第 10/16 頁



第 11/16 頁



第 12/16 頁

第 12/16 頁

第 13/16 頁

第 14/16 頁

第 15/16 頁

第 16/16 頁

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**